

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2002 年 12 月 23 日
Application Date

申 請 案 號：091137020
Application No.

申 請 人：威盛電子股份有限公司
Applicant(s)

局 長
Director General

蔡 繩 生

發文日期：西元 2003 年 6 月 24 日
Issue Date

發文字號：09220620980
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	適用於積體電路晶片之訊號檢測方法
	英文	
二、 發明人 (共2人)	姓名 (中文)	1. 林益明 2. 劉貞男
	姓名 (英文)	1. I-Ming Lin 2. Robin Liu
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路533號8樓 2. 台北縣新店市中正路533號8樓
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1.



四、中文發明摘要 (發明名稱：適用於積體電路晶片之訊號檢測方法)

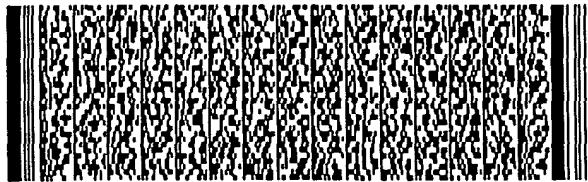
一種適用於積體電路晶片之訊號檢測方法，其中，第一積體電路晶片負責送出多個測試樣本來檢測第二積體電路晶片。根據本發明，第一積體電路晶片一次輸出一個不同的測試樣本，而第二積體電路晶片則依次接收並門鎖輸出的測試樣本以得到接收資料，接著依據接收資料和輸出測試樣本，第二積體電路晶片可以決定接收資料是否正確；若接收資料有誤且存在至少一個錯誤位元，則第二積體電路晶片會參照測試樣本所屬之測試型態，指示對應錯誤位元之訊號線存在著接地彈跳雜訊或電源彈跳雜訊的干擾問題。

伍、(一)、本案代表圖為：第3圖

(二)、本案代表圖之元件代表符號簡單說明：

略

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

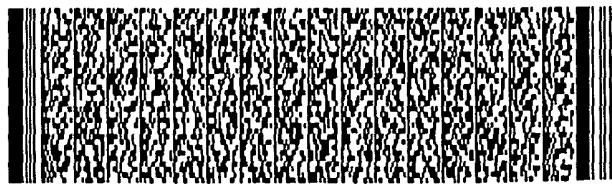
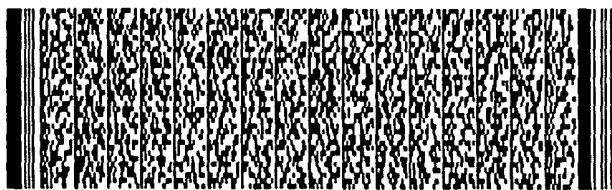
發明所屬之技術領域

本發明係有關於積體電路設計之領域，特別係指自動檢測及微調積體電路訊號品質之方法。

先前技術

隨著半導體製程的進步，目前的積體電路(Intergrated Circuit, IC)晶片其工作頻率與以往相較已大幅提高，不僅如此，其處理的資料寬度，也從早期的8位元倍數成長到64、甚至128位元，雖然可使系統的整體效能提昇，但IC設計者、電路系統工程師、線路佈局人員以及印刷電路板(Printed Circuit Board, PCB)製造商卻也面臨更嚴苛的挑戰。當IC晶片的速度變得愈快、密度愈高時，整體電路系統的電磁干擾(Electromagnetic Interference, EMI)防治問題也日趨重要。

在高速電路系統中，最常見的問題即為接地彈跳(ground bounce)和電源彈跳(power bounce)雜訊所引起的干擾，其出現的時間，通常是在IC晶片的一組資料或位址輸出訊號一同進行切換時，因此這類雜訊又可稱為同時切換輸出(Simultaneous Switching Output, SSO)雜訊。以8位元的訊號為例，若最低有效位元 LSB 為邏輯"0"，當其餘訊號同時從邏輯"1"切換至邏輯"0"時，即訊號從"11111110"變為"00000000"的瞬間，IC晶片的接地引腳因寄生電感(parasitic inductance)而引起電位變化，使IC晶片的接地電位產生彈跳雜訊，如第1圖所示，若反彈的電壓太大，很可能讓接收端將最低有效位元誤判為邏輯



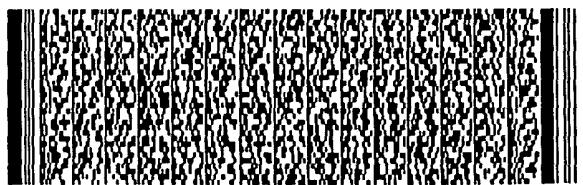
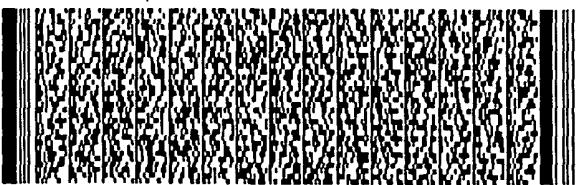
五、發明說明 (2)

"1"；若最高有效位元(MSB)為邏輯"1"，當其餘訊號同時從邏輯"0"切換至邏輯"1"時，即訊號從"10000000"變為"11111111"的瞬間，IC晶片的電源引腳因寄生電感而引起電位變化，使IC晶片的電源電位產生彈跳雜訊，如第2圖所示，若陷落的電壓太大，很可能讓接收端將最高有效位元誤判為邏輯"0"。發生如此的錯誤，情形輕微者只會使系統的整體效能降低，然而甚半會使系統不穩而造成當機問題。有鑑於此，如何讓同時切換輸出雜訊能夠被快速正確的檢查出來並進行改善，成為高速電路設計上的重要課題。

發明內容

本發明之目的是提供一種訊號檢測及微調方法，使積體電路晶片本身便能輕易的檢測出接地彈跳和電源彈跳的雜訊問題，並在晶片內部進行微調，以避免因這類雜訊所導致的錯誤。

為達上述目的，本發明提供一種適用於積體電路晶片之訊號檢測方法，具有以下列的步驟：首先，第一積體電路晶片從數個測試樣本中，依次輪流輸出其中一個測試樣本，而第二積體電路晶片則依次接收並門鎖該輸出測試樣本以得到一接收資料。然後根據接收資料和輸出測試樣本，第二積體電路晶片決定接收資料是否正確。若接收資料有誤且存在至少一個錯誤位元，則第二積體電路晶片根據測試樣本所屬之測試型態，指示對應錯誤位元的訊號線存在雜訊干擾。重覆上述的步驟，直到第一積體電路晶片



五、發明說明 (3)

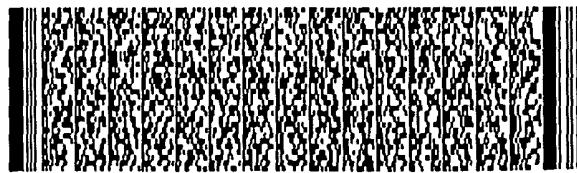
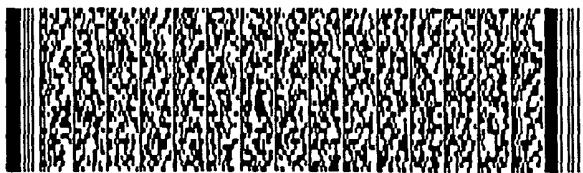
將所有測試樣本輸出完畢。

實施方式

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

本發明利用已知且具有固定變化之測試樣本(test pattern)，使傳送和接收端上的IC晶片在其引腳及其間連接的訊號線上產生輸出切換的效果，以檢測是否存在接地彈跳和電源彈跳的雜訊問題。若接收端的IC晶片判斷出現錯誤時，其本身會自動調整參考電壓準位，以改變數位邏輯的判斷準位；若仍發生錯誤，傳送端的IC晶片再調整訊號輸出腳之驅動能力，改變其訊號輸出時序以求避開發生雜訊的時間點。

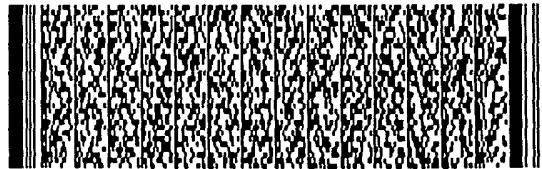
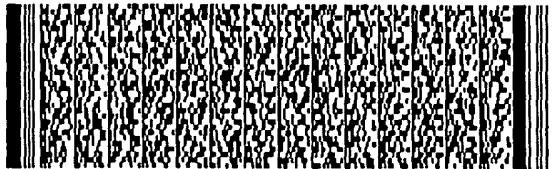
根據本發明，傳送和接收端上的IC晶片均內建或自己產生多個測試樣本，而這些測試樣本包括接地彈跳雜訊測試型態、電源彈跳雜訊測試型態以及高負載測試型態，以檢測不同的雜訊問題。在較佳實施例中，傳送IC晶片先輸出所有位元均為邏輯"1"的測試樣本，再依次將測試樣本由最低有效位元開始到最高有效位元輪流變成邏輯"0"，接收IC晶片據此檢測收到的資料是否正確，以8位元的測試樣本為例，即："11111111" → "11111110" → "11111100" → … → "10000000" → "00000000"，以上測試樣本係屬接地彈跳雜訊測試型態；就電源彈跳雜訊測試型態而言，傳送IC晶片先輸出所有位元均為邏輯"0"的測試樣本，再依次



五、發明說明 (4)

將測試樣本由最低有效位元開始到最高有效位元輪流變邏輯"1"，即："00000000" → "00000001" → "00000011" → … → "01111111" → "11111111"；關於高負載測試型態，傳送IC晶片先輸出所有位元均為邏輯"1"的測試樣本，再將除最低有效位元之外的位元同時切換至邏輯"0"，以此測試高負載時是否在最低有效位元引起接地彈跳雜訊，然後再次輸出所有位元均為邏輯"1"的測試樣本，以此測試高負載時是否在最低有效位元引起電源彈跳雜訊，接著將除最高有效位元之外的位元同時切換至邏輯"0"，以此測試高負載時是否在最高有效位元引起接地彈跳雜訊，然後再次輸出所有位元均為邏輯"1"的測試樣本，以此測試高負載時是否在最高有效位元引起電源彈跳雜訊，即："11111111" → "00000001" → "11111111" → "10000000" → "11111111"。此外，為配合本發明，傳送和接收端上的IC晶片可具有一輸入引腳以啟動本發明的自我檢測模式，還具有一組輸出引腳以指示是否發生錯誤並指出是那一個測試樣本引發錯誤。

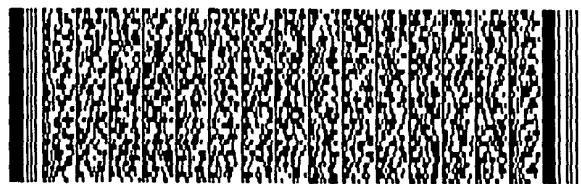
為彰顯本發明之特徵，接下來配合第3圖中較佳實施例之流程圖，進一步地說明本發明。在待測系統中的IC晶片藉由上述的輸入引腳啟動本發明的自我檢測模式之後，第一IC晶片從數個測試樣本中，依次輪流地選擇一個測試樣本並輸出之(步驟S310)，而第二IC晶片則依次接收並門鎖(latch)此輸出測試樣本以得到一接收資料(步驟S320)；此時，第一IC晶片擔任傳送角色，而第二IC晶片



五、發明說明 (5)

則扮演接收角色。然後，根據這個接收資料和對應的輸出測試樣本，第二IC晶片決定接收資料是否正確(步驟S330)。若接收資料有誤且存在至少一個錯誤位元，則第二IC晶片指出是在第幾次測試樣本發生錯誤(步驟S340)，且可以根據此輸出測試樣本所屬之測試型態，指示對應這個錯誤位元的訊號線或晶片引腳上存在著雜訊干擾。當接收資料有誤，第二IC晶片根據測試型態，調整其參考電壓 V_{REF} 的準位，以改變第二IC晶片之數位邏輯判斷準位，並且/或者調整錯誤位元對應的訊號輸出腳其驅動能力，以改變訊號輸出時序以求避開發生雜訊的時間點(步驟S350)，之後，再前進到下一步驟。若接收資料正確，則自動遞增測試樣本至下一個(步驟S360)。接著檢查測試樣本是否為最後一個(步驟S370)，若不是，則重覆上述的步驟，直到第一IC晶片將所有測試樣本輸出完畢。若測試樣本已全部檢測，則決定是否將第一、第二IC晶片的傳送和接收角色互換(步驟S380)。

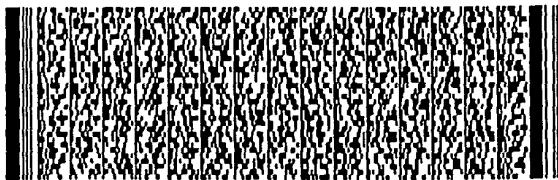
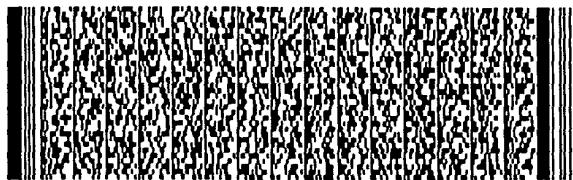
一般而言，數位IC晶片其邏輯判斷準位係由參考電壓 V_{REF} 來決定，並依據工作時脈來取樣資料。若接收資料在取樣時大於 V_{REF} ，則IC晶片判定接收資料為邏輯"1"；若接收資料在取樣時小於 V_{REF} ，則IC晶片判定接收資料為邏輯"0"。傳統上 V_{REF} 的準位則由外部的電阻來分壓，必須以人工方式才能調整。根據本發明，接收端上的IC晶片能夠以更改其內部暫存器設定值之方式來自動調整 V_{REF} 的準位，且每次以0.01伏特為單位來調整，累積的調整需在上下0.



五、發明說明 (6)

1伏特的範圍內。再者，傳送端上的IC晶片能夠以更改其內部暫存器設定值之方式來自動調整訊號輸出腳的驅動能力，達到訊號輸出時序的改變，每次以150微微秒(pico-second, ps)為單位來調整，而累積的調整需在前後300微微秒的範圍內。參考第4圖，若測試樣本係屬於電源彈跳雜訊測試型態，則減少參考電壓的準位，即： $V_{REF} = V_{REF} - 0.01V$ ，以降低第二IC晶片之數位邏輯判斷準位；若測試樣本係屬於接地彈跳雜訊測試型態，則增加參考電壓的準位，即： $V_{REF} = V_{REF} + 0.01V$ ，以提高第二IC晶片之數位邏輯判斷準位。另一方面，第一IC晶片可以提高對應於錯誤位元訊號輸出腳的驅動能力，以使該訊號輸出腳之訊號輸出時序加快；反之，可以降低對應於錯誤位元訊號輸出腳的驅動能力，以使該訊號輸出腳之訊號輸出時序減慢。參考第5圖，圖中所示D係原始輸出訊號，D-150ps是經過提高驅動能力的輸出訊號，而D-300ps則是再提高驅動能力後的輸出訊號。相對於同樣的工作時脈CLK，訊號D-150ps、D-300ps分別提前150微微秒和300微微秒，藉此時序上的微調，以求避開發生雜訊的時間點。

綜合以上所述，本發明能夠利用特別設計的測試樣本來自動檢測訊號，並且藉由水平(改變訊號輸出時序)、垂直(邏輯判斷準位)軸上的調整，達到克服接地彈跳雜訊和電源彈跳雜訊的目的。因此，在測試上不必借助昂貴的儀器便能完成，且節省了時間和人力；不僅如此，也無需更改設計或PCB的佈局，便能解決接地彈跳雜訊和電源彈跳



五、發明說明 (7)

雜訊所引發的問題。

雖然本發明已以一具體實施例揭露如上，然其僅為了易於說明本發明之技術內容，而並非將本發明狹義地限定於該實施例，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖是接地彈跳雜訊之示意圖；

第2圖是電源彈跳雜訊之示意圖；

第3圖是本發明較佳實施例之流程圖；

第4圖是根據本發明調整參考電壓準位以改變數位邏輯判斷準位之示意圖；以及

第5圖是根據本發明調整輸出驅動能力以改變時序之示意圖。

符號說明

V_{REF} ~ 參考電壓

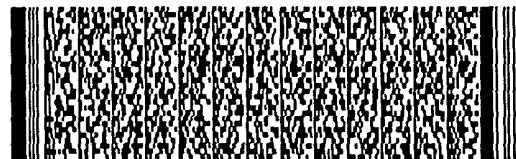
CLK ~ 工作時脈

D ~ 原始輸出訊號

D-150ps ~ 提高驅動能力之輸出訊號

D-300ps ~ 再提高驅動能力之輸出訊號

V_{DD} ~ 電源電壓



六、申請專利範圍

1. 一種適用於積體電路晶片之訊號檢測方法，該方法至少包含下列步驟：

一 第一積體電路晶片從複數個測試樣本中，依次輪流輸出該些測試樣本中之一測試樣本；

二 第二積體電路晶片依次接收並門鎖該輸出測試樣本以得到一接收資料；

根據該接收資料和該輸出測試樣本，該第二積體電路晶片決定該接收資料是否正確；

若該接收資料有誤且存在至少一錯誤位元，則該第二積體電路晶片根據該些測試樣本所屬之測試型態，指示對應該錯誤位元之一訊號線存在一雜訊干擾；以及

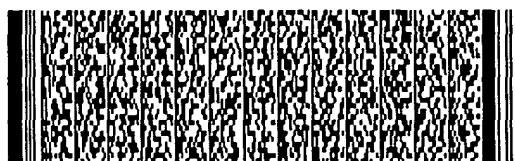
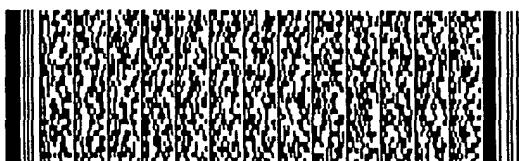
重覆上述步驟，直到該第一積體電路晶片將該些測試樣本輸出完畢。

2. 如申請專利範圍第1項所述之訊號檢測方法，其中上述複數個測試樣本至少包含一接地彈跳雜訊測試型態、一電源彈跳雜訊測試型態以及一高負載測試型態。

3. 如申請專利範圍第2項所述之訊號檢測方法，更至少包含下列步驟：

若上述接收資料有誤，則上述第二積體電路晶片根據上述複數個測試樣本所屬之測試型態，調整一參考電壓準位，以改變上述第二積體電路晶片之數位邏輯判斷準位。

4. 如申請專利範圍第3項所述之訊號檢測方法，其中上述第二積體電路晶片在上述接收資料發生錯誤時，若上述複數個測試樣本係關於上述電源彈跳雜訊測試型態，則



六、申請專利範圍

減少上述參考電壓準位，以降低上述第二積體電路晶片之數位邏輯判斷準位。

5. 如申請專利範圍第3項所述之訊號檢測方法，其中上述第二積體電路晶片在上述接收資料發生錯誤時，若上述複數個測試樣本係關於上述接地彈跳雜訊測試型態，則增加上述參考電壓準位，以提高上述第二積體電路晶片之數位邏輯判斷準位。

6. 如申請專利範圍第3項所述之訊號檢測方法，其中上述第二積體電路晶片每次以0.01伏特為單位來調整上述參考電壓準位。

7. 如申請專利範圍第3項所述之訊號檢測方法，其中上述第二積體電路晶片以更改一內部暫存器設定值之方式來調整上述參考電壓準位。

8. 如申請專利範圍第1項所述之訊號檢測方法，更至少包含下列步驟：

根據上述接收資料之上述錯誤位元，上述第一積體電路晶片調整對應上述錯誤位元之一訊號輸出腳之驅動能力，以改變該訊號輸出腳之訊號輸出時序。

9. 如申請專利範圍第8項所述之訊號檢測方法，其中上述第一積體電路晶片提高對應上述錯誤位元之上述訊號輸出腳之驅動能力，以使上述訊號輸出腳之訊號輸出時序加快。

10. 如申請專利範圍第8項所述之訊號檢測方法，其中上述第一積體電路晶片降低對應上述錯誤位元之上述訊號

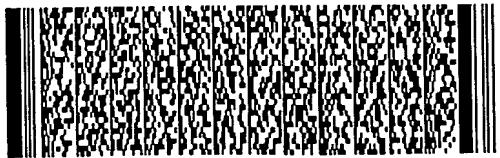


六、申請專利範圍

輸出腳之驅動能力，以使上述訊號輸出腳之訊號輸出時減慢。

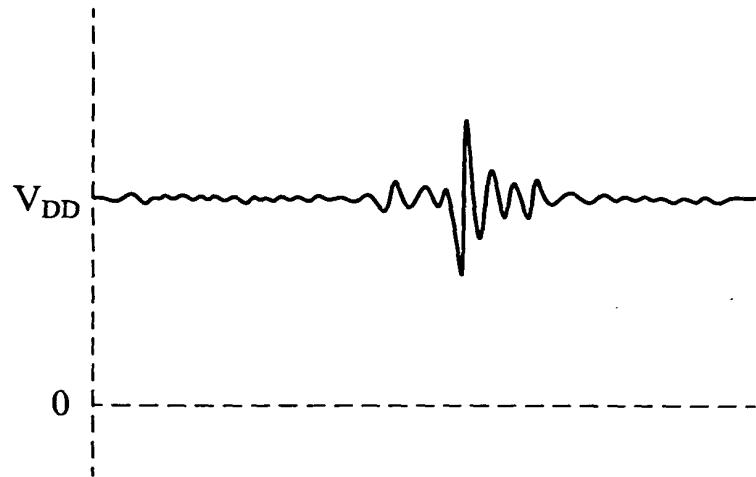
11. 如申請專利範圍第8項所述之訊號檢測方法，其中上述第一積體電路晶片在調整上述訊號輸出腳之驅動能力時，每次以150微微秒為單位來改變上述訊號輸出腳之訊號輸出時序。

12. 如申請專利範圍第8項所述之訊號檢測方法，其中上述第一積體電路晶片以更改一內部暫存器設定值之方式來調整上述訊號輸出腳之驅動能力。

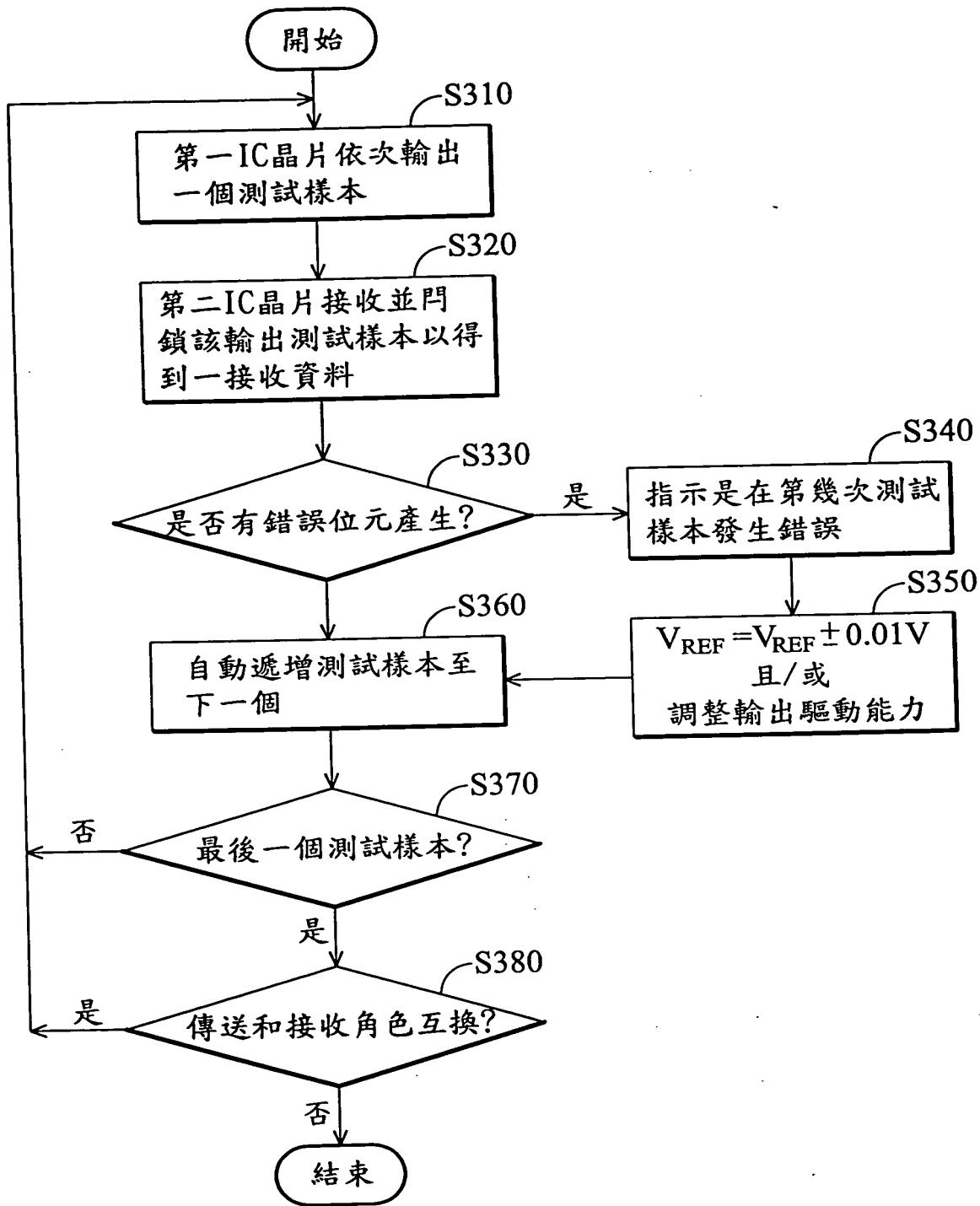




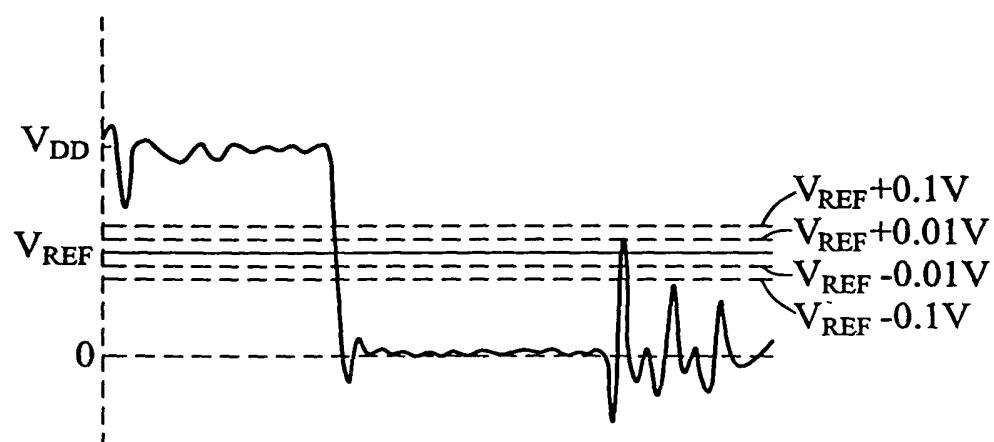
第 1 圖



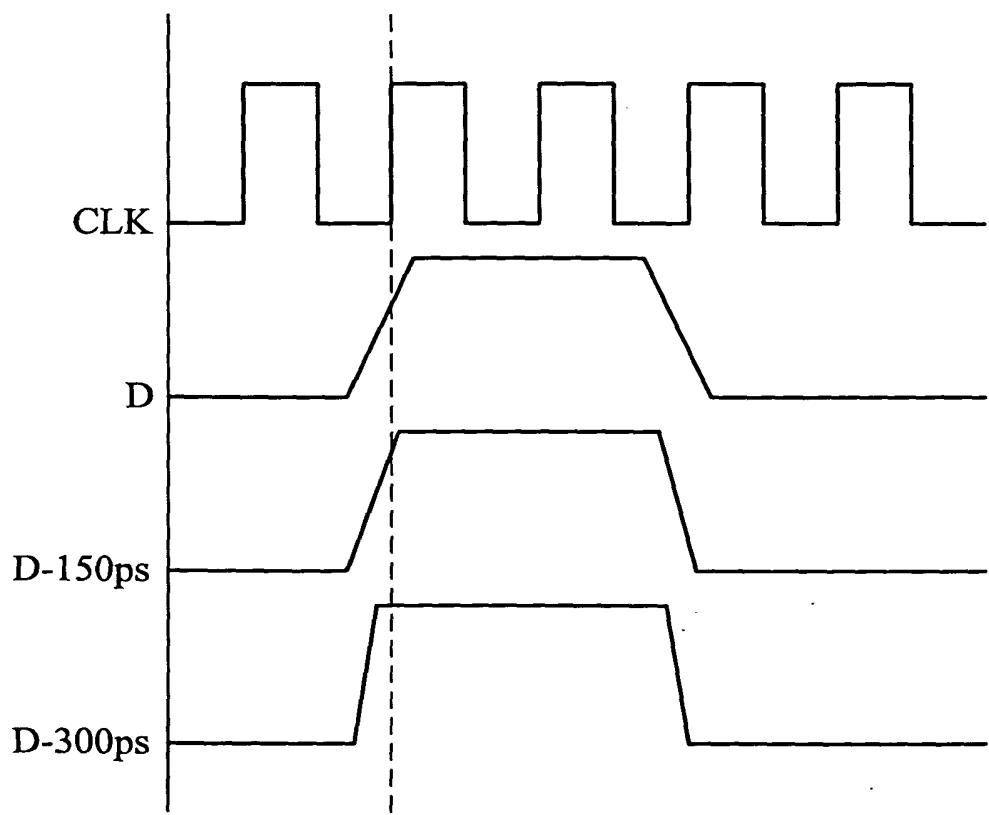
第 2 圖



第3圖



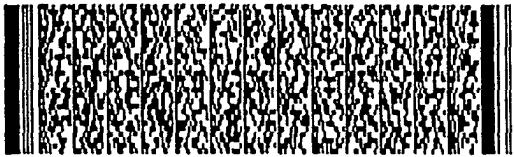
第 4 圖



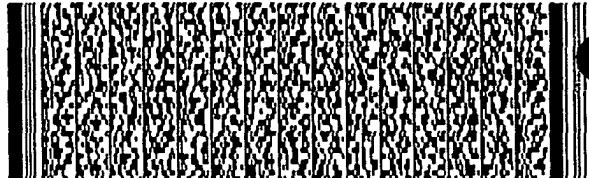
第 5 圖

申請案件名稱:適用於積體電路晶片之訊號檢測方法

第 1/14 頁



第 2/14 頁



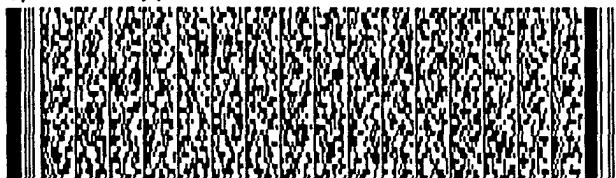
第 3/14 頁



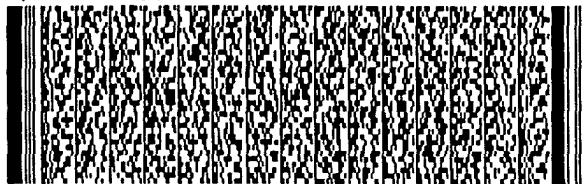
第 4/14 頁



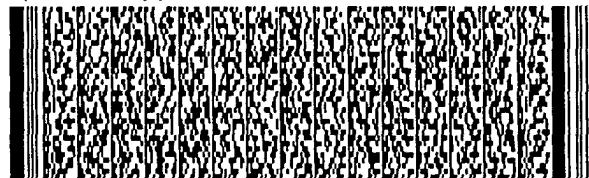
第 4/14 頁



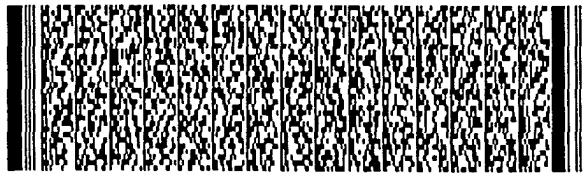
第 5/14 頁



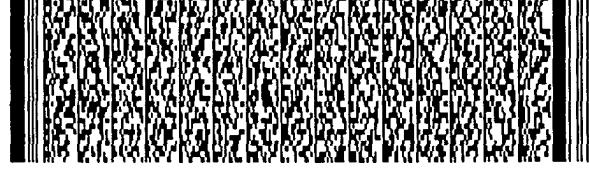
第 5/14 頁



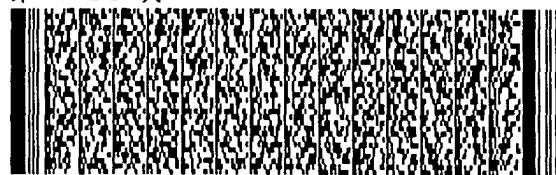
第 6/14 頁



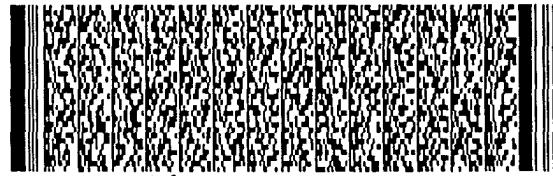
第 6/14 頁



第 7/14 頁



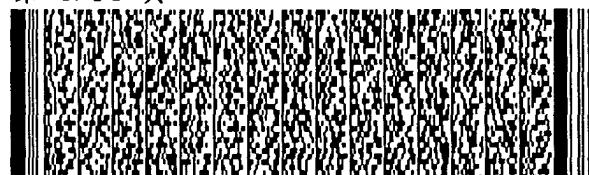
第 7/14 頁



第 8/14 頁



第 8/14 頁



第 9/14 頁



第 9/14 頁

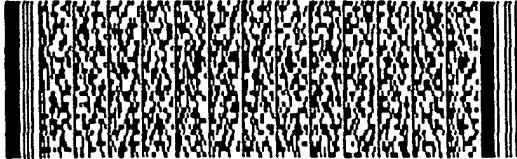


第 10/14 頁



申請案件名稱:適用於積體電路晶片之訊號檢測方法

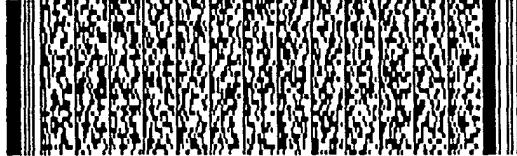
第 11/14 頁



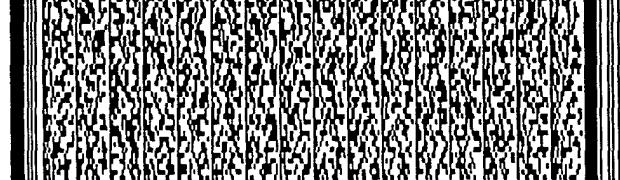
第 12/14 頁



第 12/14 頁



第 13/14 頁



第 14/14 頁

